

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-057310

(43)Date of publication of application : 12.03.1991

(51)Int.Cl. H03F 3/343

(21)Application number : 02-196059 (71)Applicant : SONY TEKTRONIX CORP

(22)Date of filing : 24.07.1990 (72)Inventor : FUJITSUPU ESU
KUROSUBII

(30)Priority

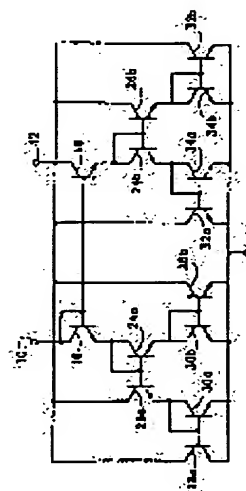
Priority number : 89 384388 Priority date : 25.07.1989 Priority country : US

(54) CURRENT AMPLIFIER

(57)Abstract:

PURPOSE: To obtain a current amplifier whose frequency response is improved with less interconnection by using an independent current path of an emitter current for the current amplifier so as to reduce the attenuation in a high frequency current.

CONSTITUTION: An emitter current of transistors(TRs) 24a and 26a, and 24b and 26b is not summed but used for an input of a current mirror circuit of the next stage and undesired connection is removed, then the hand width of the circuit is increased. Then the phase of the emitter current of the independent current mirror circuit is shifted to other current mirror due to a collector-base capacitance, parasitic resistance and capacitance of other TRs or other causes at high frequencies. Thus, local cancellation is caused to high frequency components of the summed emitter current to decrease the band width. The current amplifier is a current amplifier more excellent than a current mirror or a cascade current amplifier in the frequency response of the current amplifier by means of the computer simulation.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision]

Best Available Copy

of rejection]

[Kind of final disposal of application
other than the examiner's decision of
rejection or application converted
registration]

[Date of final disposal for application]

← [Patent number]

[Date of registration]

← [Number of appeal against examiner's
decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑱ 公開特許公報(A)

平3-57310

⑤Int.Cl.⁵

識別記号

庁内整理番号

⑭公開 平成3年(1991)3月12日

H 03 F 3/343

A 8326-5 J

審査請求 未請求 請求項の数 1 (全6頁)

⑥発明の名称 電流増幅器

⑲特 願 平2-196059

⑳出 願 平2(1990)7月24日

優先権主張 ㉑1989年7月25日㉒米国(US)㉓384388

㉔発 明 者 フィリップ・エス・ク アメリカ合衆国オレゴン州97219 ポートランド サウス
ロスピー ウェスト ターウィリンガー・ブルバード 12401㉕出 願 人 ソニー・テクトロニク 東京都品川区北品川5丁目9番31号
ス株式会社

明 細 書

〔従来の技術〕

1. 発明の名称

電流増幅器

2. 特許請求の範囲

入力端が増幅器ベース端に結合され、出力端が増幅器コレクタ端に結合され、第1及び第2エミッタ端を有する第1電流ミラーと、

入力端が上記第1電流ミラーの第1エミッタ端に結合され、出力端が上記増幅器コレクタ端に結合され、1対のエミッタ端が増幅器エミッタ端に結合された第2電流ミラーと、

入力端が上記第1電流ミラーの第2エミッタ端に結合され、出力端が上記増幅器コレクタ端に結合され、1対のエミッタ端が上記増幅器エミッタ端に結合された第3電流ミラーとを具えた電流増幅器。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は、電流増幅器、特に、カスケード電流ミラー増幅器に関する。

第4図に示す従来の電流ミラーは、一般に、集積回路形式かディスクリート形式の増幅器や、バイアス回路に用いられている。入力トランジスタ16のベース及びコレクタは、共通結合しており、入力端10の入力電流を受ける。出力トランジスタ18のベースは、入力トランジスタ16のベースに結合している。出力トランジスタ18のコレクタは、出力電流を出力端12に供給する。トランジスタ16及び18のエミッタは、共通結合して、エミッタ端14に接続する。このエミッタ端14は、接地、定電圧源又は他の回路に結合する。第4図のこの電流ミラーの利得は、約1である。代わりに、第4図の電流ミラーを電流利得がほぼ1の等価トランジスタとみなしてもよい。この場合、入力端10がベースであり、出力端12がコレクタであり、エミッタ端14がエミッタである。よって、以下、添付図において、入力端10を増幅器ベース端と呼び、出力端12を増幅器コレクタ端と呼び、エミッタ端14を増幅器エミッタ端

と呼ぶ。

電流ミラーの利得を増加する従来の方法を第5図に示す。この回路において、出力トランジスタ20及び22を出力トランジスタ18と並列に結合する。したがって、この電流増幅器の利得は、3である。よって、電流利得が3のトランジスタと等価になる。

〔発明が解決しようとする課題〕

しかし、第5図の電流増幅器では、出力トランジスタを並列に付加して電流利得を増やすので、対応する β dBローフオフ周波数が低下する。

周波数応答特性を改善したカスケード電流増幅器を第6図に示す。この回路において、トランジスタ16及び18を含む第1電流ミラーからのエミッタ電流は、入力トランジスタ24及び出力トランジスタ26を含む第2電流ミラーへの入力となる。第1電流ミラーからのエミッタ電流は、増幅器ベース端10での入力電流の2倍なので、トランジスタ24及び26の大きさは、トランジスタ16及び18の2倍に選択する。トランジスタ

18及び26のコレクタは互いに結合され、増幅器コレクタ端12に接続されるので、第6図に示す増幅器の電流利得は3となる。すなわち、電流利得が3の等価トランジスタとなる。第6図に示す回路は、第5図に示す回路と、利得は同じだが、その帯域幅は大幅に改善されている。

第6図の電流ミラー増幅器は、いくつかの電流ミラーを用いてカスケードしてもよいが、前段の電流ミラーのエミッタ電流が次段の電流ミラーの入力に向けられる。かかる構成においては、各電流ミラー出力電流を加算し、その素子の大きさを各前段の電流ミラーの2倍にする。N段の電流ミラーでは、総合電流利得が $2N+1$ になる。

第5図の従来回路よりも周波数応答が改善された第6図の回路には、不必要な接続がある。その結果、最善の周波数応答が得られず、集積回路又は回路基板のレイアウトが難しい。また、使用する素子が正確に一致していないと、電位電流が集中してしまう。したがって、周波数応答が最適で、レイアウトが簡単で、電流の集中が減少でき、相

互接続を少なくした階層電流増幅器が望まれている。

したがって、本発明の目的の1つは、従来のカスケード電流ミラー増幅器よりも周波数応答が改善された電流増幅器の提供にある。

本発明の他の目的は、レイアウトが簡単で、必要とするクロスオーバーの数を減らした電流増幅器の提供にある。

本発明の更に他の目的は、大きさの等しい素子を用い、電流集中の影響を最低にした電流増幅器の提供にある。

〔課題を解決するための手段及び作用〕

本発明によれば、従来のカスケード電流増幅器よりも相互接続の少ない電流増幅器を提供できる。この電流増幅器は、第1電流ミラー段と、第2電流ミラー段とを具えている。第1電流ミラー段は、入力端が増幅器ベース端に結合して入力電流を受け、出力端が増幅器コレクタ端に結合し、1対のエミッタ端を有する電流ミラーを有する。また、第2電流ミラー段は、第1電流ミラー段の各エミ

ッタ端に対応した2個の電流ミラーを有しており、これら2個の電流ミラーの各々の入力端は、第1電流ミラー段の電流ミラーのエミッタ端の1つに夫々結合している。第2電流ミラー段の2つの電流出力端は、増幅器コレクタ端に結合しており、電流利得を与える。電流ミラー段を更に付加して、電流利得を増加できる。この場合、付加する各電流ミラー段は、前段の電流ミラー段の各エミッタ端に対応する電流ミラーを具えている。この各電流ミラーは、入力端が前段のエミッタ端の1つに結合し、出力端が増幅器コレクタ端に結合し、1対のエミッタ端を有している。なお、最終電流ミラー段のエミッタ端は、増幅器エミッタ端に結合している。

本発明の上述及びその他の目的は、以下の説明及び添付図より明らかになる。なお、以下の実施例は、本発明を限定するものではなく、当業者が本発明を理解するためのものである。

〔実施例〕

第1図は、本発明の電流増幅器の原理的な回路

図である。この回路図でのトランジスタは、等しい大きさであるが、その他の電気的特性は、第6図の電流ミラー増幅器と同じである。よって、第6図の2倍の大きさのトランジスタ24を単一の大きさのトランジスタ24a及び24bに置き換え、同様に、2倍の大きさのトランジスタ26を単一の大きさのトランジスタ26a及び26bに置き換える。等しい領域の素子を用いて電流ミラー増幅器を最構成すると、点線15で示した接続が不要になることが明かであろう。なお、点線15は、トランジスタ24aの結合したコレクタ及びベースとトランジスタ24bの結合したコレクタ及びベースとの間の不要な接続を示すと共に、トランジスタ26aのコレクタ及びトランジスタ26bのコレクタ間の不要な接続を示している。

点線15を除去し、トランジスタ16、18、24a、24b、26a及び26bの大きさが等しいと仮定すると、第1図は、電流利得が3の本発明による電流増幅器の第1実施例となる。

この電流増幅器は、入力電流を受ける増幅器ベ

ース端10と、トランジスタ18、26a及び26bのコレクタからの分組電流を加算する増幅器コレクタ端12とを具えている。第1電流ミラーは、増幅器ベース端10に結合され、この電流ミラーの入力端を形成する相互接続のベース及びコレクタを有する入力トランジスタ16を具えている。この第1電流ミラーは、出力パイプライン・トランジスタ18を含んでおり、このトランジスタ18のベースは、入力トランジスタ16のベースに結合され、コレクタは、増幅器コレクタ端12に結合された電流ミラーの出力端を形成する。

第2電流ミラーは、入力トランジスタ24a及び出力トランジスタ26aを含んでおり、第3電流ミラーは入力トランジスタ24b及び出力トランジスタ26bを含んでいる。第2電流ミラーの入力端は、トランジスタ24aの結合したコレクタ及びベースであり、また、出力端は、トランジスタ26aのコレクタである。第3電流ミラーの入力端は、トランジスタ24bの結合したコレクタ及びベースであり、また、出力端は、トランジ

スタ26bのコレクタである。第2電流ミラーの入力端は、トランジスタ16のエミッタ端に結合し、出力端は、増幅器コレクタ端12に結合し、1対のエミッタ端は、増幅器エミッタ端14に結合する。第3電流ミラーの入力端は、トランジスタ18のエミッタ端に結合し、出力端は、増幅器コレクタ端12に結合し、1対のエミッタ端は、増幅器エミッタ端14に結合する。

第1図に示す電流増幅器の利得は、3である。1単位の電流が増幅器ベース端10に流れると仮定すると、1単位の電流がトランジスタ18のコレクタに流れる。1単位の電流は、トランジスタ16及び18の夫々のエミッタに流れ、トランジスタ26a及び26bのコレクタに1単位の電流を発生する。増幅器コレクタ端12にて、3単位の電流が加算される。

本発明による電流増幅器の他の実施例を第2図に示す。この実施例は、3つのカスケード接続部分、即ち、電流ミラー段を有しており、その利得は7である。この電流増幅器は、増幅器ベース端

10と、増幅器コレクタ端12とを具えている。第1電流ミラー段は、トランジスタ16及び18を具えており、その入力端は増幅器ベース端10に結合され、その出力端は増幅器コレクタ端12に結合され、1対のエミッタ端を具えている。第2電流段は、第1電流段の各エミッタ端に対応する電流ミラーを含んでいる。2個の電流ミラーは、トランジスタ24a及び26aと、トランジスタ24b及び26bとを含んでいる。各電流ミラー入力端は、第1電流ミラー段の電流ミラーのエミッタ端の1つ、即ち、トランジスタ16及び18のエミッタ端に夫々結合している。各電流ミラーの出力端は、増幅器コレクタ端12に結合している。

第2図より、一層大きな利得が望ましいならば、後段に電流ミラーを付加できることが判る。電流ミラーの最終段は、N番目の電流ミラー段となる。なお、Nは、3以上の整数である。したがって、N番目の電流ミラー段は、N-1番目の電流ミラー段の各エミッタ端に対応する電流ミラーを含ん

であり、この電流ミラーの各々の入力端は、 $N-1$ 番目の電流ミラー段のエミッタ端の1つに結合され、出力端は、増幅器コレクタ端12に結合され、1対のエミッタ端は、増幅器エミッタ端14に結合されている。よって、 N 番目の電流ミラー、即ち、第3電流ミラー段の入力端は、トランジスタ30a、30b、34a及び34bの結合したベース及びコレクタであり、これら入力端は、 $N-1$ 番目、即ち第2電流ミラー段のトランジスタ26a、24a、24b及び26bのエミッタ端に夫々結合されている。同時に、 N 番目、即ち第3電流ミラー段の電流ミラーの出力端は、トランジスタ28a、28b、32a及び32bのコレクタであり、これら出力端は、増幅器コレクタ端12に結合されている。なお、各電流は、前段の電流ミラー段からの出力と加算される。

第2図の電流ミラーにおいて、第1図の電流増幅器と同様に、多くの不要な接続が除去されている。よって、トランジスタ24a及び26aと、24b及び26bのエミッタ電流は、第6図に示

すカスケード電流ミラーの場合と同様には加算はされずに、次段の電流ミラーの入力として用いられる。不要な接続を除いた結果、回路の帯域幅が増加する。高周波数において、コレクタ・ベース間容量、その他トランジスタの規制抵抗及び容量や、他の要因により、独立した電流ミラーのエミッタ電流の位相が、他の電流ミラーに対してシフトすることが判る。これにより、加算したエミッタ電流の高周波成分に部分的なキャンセルが生じて、帯域幅が減少する。第6図の回路に示す方法で、電流ミラーを順次カスケードにすると、この帯域幅損失が増加する。本発明による電流増幅器はエミッタ電流に対して独立した電流路を用いているので、高周波電流での減衰が減少する。

市販の2N3904型トランジスタのコンピュータ・モデルを用いた回路シミュレーションにより、電流増幅器の高周波応答を確認できた。このコンピュータ・シミュレーションにより、電流増幅器の周波数応答が、従来の電流ミラーやカスケード電流増幅器よりも優れていることが確認でき

た。以下の表は、第4及び第5図に示す従来の電流増幅器、第6図に示す加算カスケード電流増幅器、第1～第3図に示す本発明による電流増幅器における3dB周波数対電流利得を示すコンピュータ・シミュレーションの結果である。

従来の電流増幅器:

利得3: 83.2MHz

加算カスケード電流増幅器:

利得3: 124MHz

本発明の電流増幅器:

利得3: 128MHz

従来の電流増幅器:

利得7: 42.4MHz

加算カスケード電流増幅器:

利得7: 95.5MHz

本発明の電流増幅器:

利得7: 102MHz

従来の電流増幅器:

利得15: 22.4MHz

加算カスケード電流増幅器:

利得15: 77.6MHz

本発明の電流増幅器:

利得15: 84.6MHz

本発明の更に他の特徴は、集積回路又はディスクリート形式のいずれにおいても、レイアウトが簡単なことである。余分なエミッタ電流を加算せずに、等しい大きさの素子を用いているので、クロスオーバーの必要がなくなり、レイアウトが簡単になる。本発明では、等しい大きさの素子を用いることにより、使用するディスクリート・トランジスタが安価なものでよい。しかし、本発明でなければ、高価なパワー素子や複雑回路を、高価な冷却手段と共に用いなければならない点に留意されたい。

本発明の他の利点は、第5図に示す従来の電流ミラーでの電流集中を減らせることである。 $N+$

1個(Nは電流ミラーの利得)の素子の代わりに、わずか2個の素子の特性を一致させるのみでよいので、電流集中の問題がなくなる。電流集中を減らす1つの方法は、電流ミラーの最終段の総べてのトランジスタと増幅器エミッタ端14との間にエミッタ安定抵抗器を付加することである。第5図の従来回路では、総べての素子を安定化しなければならないが、第3図に示す本発明による電流増幅器では、わずか $M/2 + 1$ 個(Mは、回路内の素子の総数)の素子のみを安定化させればよいことに留意されたい。よって、トランジスタ26a、24a、24b及び26bのエミッタ及び増幅器エミッタ端14間に、エミッタ安定化抵抗器36a、38a、38b及び36bを直列に挿入する。

本発明の好適な実施例について上述したが、当業者には、本発明の要旨を逸脱することなく、種々の変形変更が可能ながことが明かであろう。例えば、トランジスタは、適切なバイアスを用いるならば、集積回路や、ディスクリートや、PNPや、

NPNや、エンハンスメント・ゲートFETの如き他の3個素子でもよい。さらに、本発明を2つのトランジスタ電流ミラーの階層構造で構成するならば、任意の形式の電流ミラー、例えば、ワイドラー電流ミラー、ウィルソン電流ミラー、又はベース電流補償電流ミラーを用いてもよい。また、増幅器エミッタ端14を接地しても、電圧源又は他の回路ノードに結合してもよいし、電圧出力端として用いてもよい。

[発明の効果]

したがって、本発明の電流増幅器によれば、従来のカスケード電流ミラー増幅器よりも周波数応答を改善でき、レイアウトが簡単になり、必要とするクロスオーバーの数を減らせる。また、大きさの等しい素子を用い、電流の集中の影響を最低にできる。

4. 図面の簡単な説明

第1図は、本発明による電流増幅器の第1実施例の回路図、

第2図は、本発明による電流増幅器の第2実施

例の回路図、

第3図は、本発明による電流増幅器の第3実施例の回路図、

第4図は、従来の電流ミラーの回路図、

第5図は、電流利得が3である従来の電流ミラーの回路図、

第6図は、電流利得が3で、周波数応答を改善した従来のカスケード電流ミラーの回路図である。

- 10: 増幅器ベース端
- 12: 増幅器コレクタ端
- 14: 増幅器エミッタ端

特許出願人 ソニー・エレクトロニクス株式会社

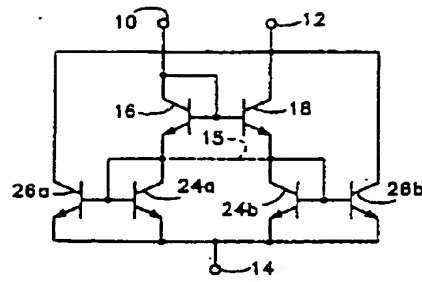


FIG. 1

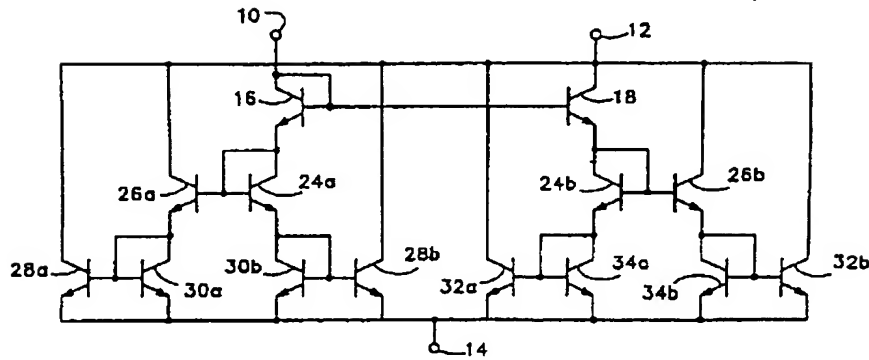


FIG. 2

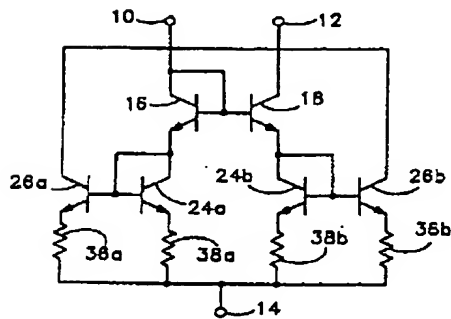


FIG. 3

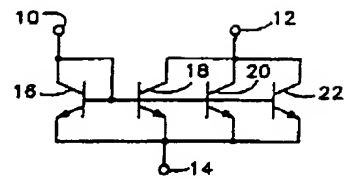


FIG. 5

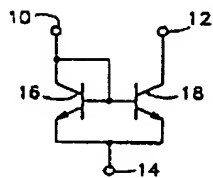


FIG. 4

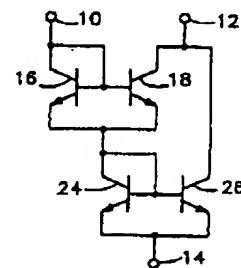


FIG. 6